

연산 증폭기 설계 ⑤ 연산 증폭기의 동적 동작

연재되고 있는 각각의 주제는 ‘The Signal’이라고 하는 블로그에 게재된 글들로서, TI의 E2E™ 커뮤니티에서 확인할 수 있다. 본 블로그는 내용길이는 짧지만 핵심을 짚고 있으며, 실제적이고 직관적이며, 그 자리에서 쉽게 이해하여 본인의 것으로 만들 수 있다. (이 연재에 실린 글에 대해서나 또는 다른 어떤 정밀 증폭기에 관해서나 질문이 있으면 TI E2E Community의 Precision Amplifiers Forum 참조)

글/브루스 트럼프 (Bruce Trump), 텍사스 인스트루먼트

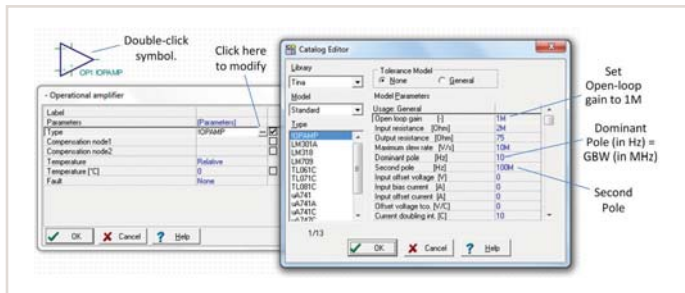
5-1. 이득 대역폭 시뮬레이션: 범용 연산 증폭기 모델

연산 증폭기의 이득-대역폭 곱(GBW)이 본인의 회로로 어떻게 영향을 미칠지 분명하지 않을 수 있다. 매크로모델은 GBW가 고정적이다.

SPICE 안에 들어 있는 범용 연산 증폭기 모델을 사용해서 GBW에 따른 민감성을 본인의 회로로 확인할 수 있다. 대부분 SPICE 기반 회로 시뮬레이터는 간단한 연산 증폭기 모델을 포함하기에 이것을 손쉽게 수정해서 사용할 수 있다. 그림 47은 TINA-TI 소프트웨어에서의 그러한 모델을 보여준다.

먼저, 직류(DC) 개방 루프 이득을 1M(120dB)로 설정

그림 47. TINA-TI 소프트웨어를 사용함으로써 SPICE로 범용 연산 증폭기 모델을 생성하고 GBW에 따른 민감성을 본인의 회로로 확인할 수 있다.



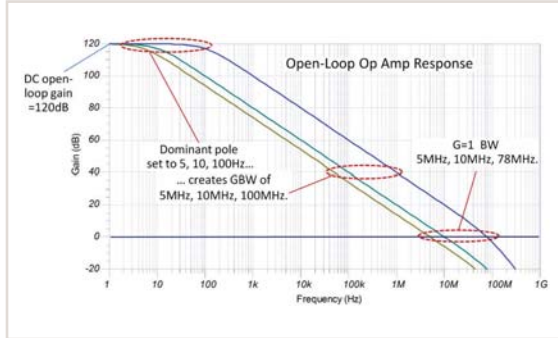
5-1. Simulating gain bandwidth: the generic op amp model

It may not always be obvious how the gain-bandwidth product (GBW) of an operational amplifier (op amp) may affect your circuits.

Macromodels have a fixed GBW. Though you can look inside these models, it is best not to tinker with them. What to do? You can use a generic op amp model in the simulation program with integrated circuit emphasis (SPICE) to check your circuits for sensitivity to GBW. Most SPICE-based circuit simulators have a simple op amp model that you can easily modify. Figure 47 shows one in TINA-TI software.

First, set its direct current (DC) open-loop gain to 1 M (120 dB). Then, a dominant pole frequency (entered in hertz) will create a GBW of the amplifier in megahertz. In this example, a 10-Hz dominant pole creates a GBW of 10 MHz. Figure 48 shows the open-loop response for three different GBWs: 5 MHz, 10 MHz and 100 MHz.

그림 48. 5MHz, 10MHz, 100MHz GBW일 때 개방 루프 응답



정한다. 그러면 우세 극점 주파수(헤르츠 단위)가 증폭기 GBW(메가헤르츠 단위)를 생성한다. 이 예에서는 10Hz의 우세 극점이 10MHz의 GBW를 생성한다. **그림 48**은 5MHz, 10MHz, 100MHz의 3가지 GBW로 개방 루프 응답을 보여준다.

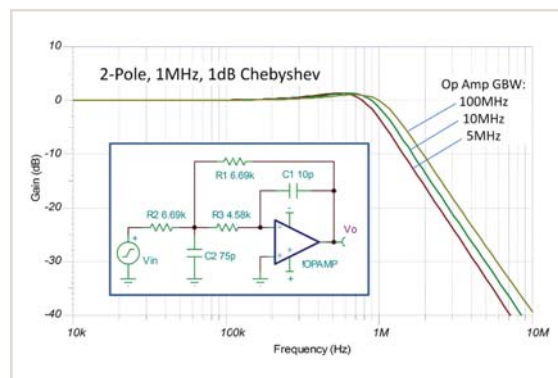
이 간단한 모델로 이차 극점('nuisance' 극점이라고도 함)도 포함한다는 것을 알 수 있다. 경우에 따라서는 이 이차 극점을 10GHz 같이 아주 높은 주파수로 정할 수 있다. 이렇게 하면 적당한 정도의 GBW로 이상적인 90도 위상 마진을 생성할 수 있다. 이 예에서는 이차 극점을, 시뮬레이트하려고 하는 가장 높은 GBW와 동일하게 100MHz로 설정하고 있다. 이 이차 극점은 100MHz GBW 응답으로 어떻게 영향을 미치는지 알 수 있다. 개방 루프 응답이 100MHz에서 아래로 휘어지는 것을 볼 수 있다. 단위 이득 대역폭은 약 78MHz로 안쪽으로 당겨지는데, 이것은 이 GBW로 실제 연산 증폭기로 예상할 수 있는 것과 같은 것이다. 실제 연산 증폭기의 단위 이득 대역폭과 GBW는 반드시 일치하지는 않는다.

능동 필터 설계는 GBW 요구사항을 판단하기가 어려울 수 있기에, 이 기법을 사용하여 좋은 예시를 만들 수 있다. **그림 49**에서는 WEBENCH[®] Filter Designer를 사용하여 체비셰프(Chebyshev) 필터설계 시 권장 GBW를 제안하고 있는데, 이 가이드라인은 어떤 경우에는 필요이상 엄격할 수 있다. 이러한 경우에는 100MHz 혹은 그 이상의 GBW를 사용함으로써 거의

Note that that this simple model also includes a second pole (some folks call it a nuisance pole). In some cases, you may want to make this second pole a very high frequency, such as 10 GHz. This will create an ideal 90 degrees phase margin for any reasonable GBW. In this example, I set the second pole at 100 MHz, equal to the highest GBW that I am simulating. You can see the effect of this second pole in the 100-MHz GBW response, causing the open-loop response to bend downward at 100 MHz. It causes the unity-gain bandwidth to pull in to approximately 78 MHz, similar to what you might see with a real op amp of this GBW. Unity-gain bandwidth and GBW of a real op amp are not necessarily the same number.

Active filter designs can be tricky to judge GBW requirements and are a good case for using this technique. WEBENCH[®] Filter Designer, used to design the Chebyshev filter in **Figure 49**, provides GBW recommendations, but its guidelines may be more stringent than needed in some circumstances. For this design, it recommends a 100-MHz or greater GBW to achieve nearly ideal filter-design characteristics. I simulated the design using the

그림 49. 체비셰프 필터는 WEBENCH Filter Designer 소프트웨어를 사용해서 설계되었다. 하지만 경우에 따라서는 GBW는 필요이상 엄격할 수 있다.



이상적인 필터 특성을 달성할 수 있다. 그림 48의 설계는 3가지 GBW인 5MHz, 10MHz, 100MHz를 사용해서 시뮬레이트했다. 100MHz 미만의 GBW라는 만족스런 결과를 얻었다. 최종적인 시뮬레이션을 위해서는 선택한 연산 증폭기의 매크로모델을 사용해야 한다.

또한 TINA-TI 소프트웨어에서 파라미터 스텝핑 기능을 사용해서 우세 극점과 GBW를 변화시켜 보았다. 다른 시뮬레이터들에도 비슷한 기능이 있을 것이다. 물론 파라미터들을 수작업적으로도 변경해 가면서 살펴볼 수 있다. 어떻게든 범용 연산 증폭기 모델의 GBW를 변화시켜 봄으로써 자신의 회로로 어떻게 영향을 미치는지에 대한 통찰을 얻을 수 있다.

5-2. 슬루율: 연산 증폭기의 속도 제한

연산 증폭기의 슬루잉(slewing) 동작은 흔히 잘못 이해되고 있다. 그렇기에 자세하게 더 알아보도록 하자.

연산 증폭기 입력 회로는 입력들 사이의 전압이 매우 작다. 이상적으로는 이 전압이 0이어야 할 것이다. 하지만 입력 신호가 갑자기 바뀌면서 순간적으로 피드백 루프의 평형을 깨트림으로써 연산 증폭기 입력들 간에 차이 오차 전압이 생긴다. 그러면 출력은 이 오차를 교정하기 위해서 내달리게 된다. 이 오차가 클수록 내달리는 것이 빨라진다. 그러다 마침내 차동 입력 전압이 충분히 커져서 연산 증폭기가 슬루잉 동작을 하게 만든다.

입력 스텝이 충분히 크면 자동차의 가속 페달을 끝까지 밟는 격이 된다. 그렇기에 더 높은 입력이라 하더

three GBWs shown in Figure 48: 5 MHz, 10 MHz and 100 MHz. With these results, you might decide that a GBW less than 100 MHz could be satisfactory. For final simulations, you should use the macromodel for the op amp you select.

I used the parameter-stepping function in TINA-TI software, varying the dominant pole to change the GBW. Other simulators have similar capability. Of course, you could change parameters manually, too. Either way, varying the GBW of a generic op amp model will give you some insight on its effect in your circuits.

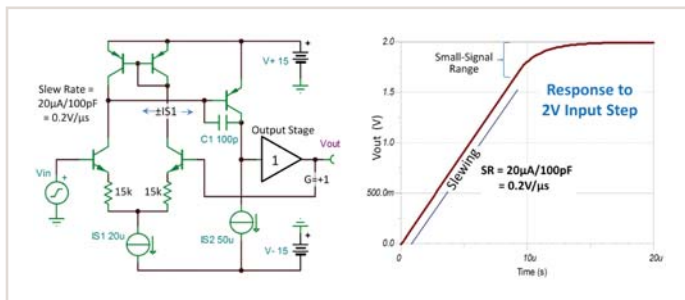
5-2. Slew rate: the op amp speed limit

Slewing behavior of operational amplifiers (op amps) is often misunderstood. It is a meaty topic, so let us sort it out.

The input circuitry of an op amp circuit generally has a very small voltage between the inputs – ideally zero, right? But a sudden change in the input signal temporarily drives the feedback loop out of balance, creating a differential error voltage between the op amp inputs. This causes the output to race off to correct the error. The larger the error, the faster it goes; that is, until the differential input voltage is large enough to drive the op amp into slewing.

If the input step is large enough, the accelerator is jammed to the floor. More input will not make the output move faster. (Figure 50 shows why in a simple op amp circuit.) With a constant input voltage to the closed-loop circuit, there is zero voltage between the op amp inputs. The input stage is balanced, and the current IS1 splits equally between the two input transistors. With

그림 50. 입력 신호로의 큰 변화가 출력 슬루잉 조건을 일으킨다.



라도 출력을 더 빠르게 움직이게 할 수는 없다.(그림 50은 간단한 연산 증폭기 회로로 왜 그러는지 보여준다.) 폐쇄 루프 회로로 일정한 입력 전압이 주어지면 연산 증폭기 입력들 사이에 전압이 0이 된다. 그러면 입력 스테이지가 평형을 이루고, 전류 IS1이 2개 입력 트랜지스터간에 균등하게 배분된다. 이 회로로 V_{IN} 으로 스텝 변화가 350mV 이상이면 IS1 전류의 전부가 입력 트랜지스터 쌍 중의 한쪽으로 향한다. 이 전류가 밀러 보상 커패시터 C1을 충전(또는 방전)한다. 출력 슬루율(SR)은 IS1이 C1을 충전하는 속도로서, $IS1/C1$ 이다.

물론 여기에는 여러 가지 변수들이 작용한다. 슬루잉 동작을 강화하고자 하는 연산 증폭기는 이러한 과구동 조건을 검출하기 위한 회로를 추가하고 C1을 더 빠르게 충전하기 위해서 추가적인 전류 소스의 도움을 받을 수 있다. 하지만 이렇게 하더라도 여전히 슬루율은 제한적일 수 있다. 양의 슬루율과 음의 슬루율은 완벽하게 매칭되지 않을 수 있다. 여기서처럼 간단한 회로는 거의 동일하나 다양한 연산 증폭기에 따라서는 크게 차이가 날 수 있다. 입력 스테이지를 슬루잉하기 위해서 필요한 전압은 연산 증폭기에 따라서 여기서 예로 들고 있는 디자인의 경우인 350mV는 약 100mV부터 1V 혹은 그 이상에 이르기까지 다양할 수 있다.

출력이 슬루잉을 하는 동안에는 입력의 점진적 변화에 응답하지 못한다. 그러므로 입력 스테이지가 과구동되고 출력의 변화 속도가 최대를 향해서 달려간다. 하지만 일단 출력 전압이 최종 값에 가까워지면 연산 증폭기 입력들에서의 오차 전압이 다시 직선적 구간으로 진입한다. 그리고는 변화율이 점차적으로 감소해서 최종 값으로 매끄럽게 안착한다.

연산 증폭기가 슬루잉을 하는 것에는 아무런 문제가 없다. 어떤 손상을 일으키거나 과속을 했다고 제제가 있는 것은 아니다. 하지만 사인파가 전반적으로 왜곡되는 것을 방지하기 위해서는 최대 기울기는 증폭기의 슬루율을 초과하지 않도록 신호 주파수 및 출력 진폭을 제한해야 한다. 그림 51에서는 사인파의 최대 기울기는 VP 및 주파수에 비례한다는 것을 알 수 있다. 필요한 슬

a stepfunction change in V_{IN} greater than 350 mV for this circuit, all of the IS1 current is steered to one side of the input transistor pair. That current charges (or discharges) the Miller compensation capacitor, C1. The output slew rate (SR) is the rate at which IS1 charges C1, equal to $IS1/C1$.

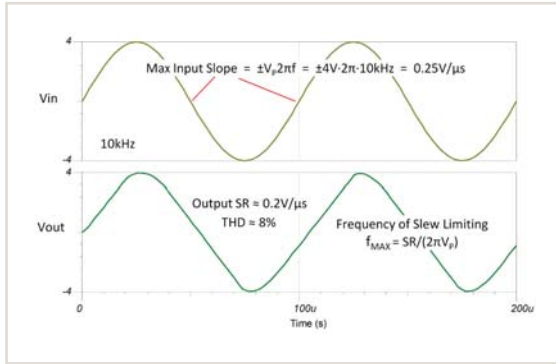
There are variations, of course. Op amps with slew enhancement add circuitry to detect this overdriven condition and enlist additional current sources to charge C1 faster – but they still have a limited slew rate. The positive and negative slew rates may not perfectly match. They are close to equal in this simple circuit, but this can vary with different op amps. The voltage needed to slew an input stage (350 mV for this design) varies from approximately 100mV to 1 V or more, depending on the op amp.

While the output is slewing, it cannot respond to incremental changes in the input. The input stage is overdriven and the output rate-of-change maxes out. But once the output voltage nears its final value, the error voltage across the op amp inputs reenters the linear range. Then the rate of change gradually reduces to make a smooth landing at the final value.

There is nothing inherently wrong with slewing an op amp – no damage or fines for speeding. But to avoid gross distortion of sine waves, you should limit the signal frequency and/or output amplitude so that the maximum slope does not exceed the amplifier's slew rate. Figure 51 shows that the maximum slope of a sine wave is proportional to VP and frequency. With 20 percent less than the required slew rate, the output is distorted into a nearly triangle shape.

Large-signal square waves with very fast edges

그림 51. 정확하게 재현된 사인파(위)와 슬루잉 동작을 시작할 때의 사인파(아래)

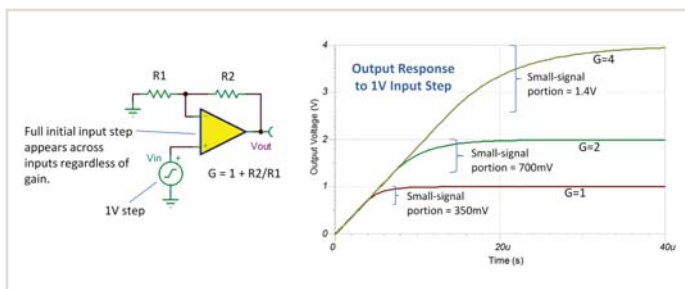


루울보다 20퍼센트 낮으면 출력이 거의 삼각형 형태로 왜곡된다는 것을 알 수 있다.

아주 빠른 에지 속도로 대신호 사각파는 증폭기 슬루율에 따라서 상승 에지 및 하강 에지가 기울어질 것이다. 증폭기가 소신호 구간으로 접어들면 상승 에지 또는 하강 에지의 끝부분은 그림 50에서처럼 라운드이다.

비반전 회로에서는 이 연산 증폭기가 슬루잉하게 만들기 위해서 이득에 상관 없이 최소 350mV 스텝이 필요하다. 그림 52에서는 1V 입력 스텝에 대해서 1, 2, 4의 이득으로 슬루잉 동작을 보여준다. 슬루율은 모든 이득으로 동일하다. G = 1일 때는 출력 파형이 마지막 350mV에 가서 소신호 동작으로 접어든다. G = 2 및 G = 4에서는 소신호 부분이 이득에 비례하게 커진다. 반전 입력으로 피드백된 신호가 피드백 네트워크에 의해서 감쇠되기 때문이다. 50 이상의 이득으로 연결하면 이 증폭기는 350mV 스텝이 출력을 과구동할 것이기 때문에

그림 52. 어떠한 폐쇄 루프 이득으로 슬루율이 동일하다고 했을 때, 이득이 높을수록 슬루잉 동작은 좀더 점차적으로 나타나서 출력 전압이 더 높다.



tilt on the rising and falling edges according to the slew rate of the amplifier. The final portion of a rising or falling edge will have rounding as the amplifier reaches its small-signal range, as shown in Figure 50.

In a noninverting circuit, a minimum 350-mV step is required to make this op amp slew, regardless of gain. Figure 51 shows the slewing behavior for a 1-V input step with gains of 1, 2 and 4. The slew rate is the same for each gain (Figure 52). In $G = 1$, the output waveform transitions to small-signal behavior in the final 350 mV. In $G = 2$ and $G = 4$, the small-signal portion is proportionally larger because the error signal fed back to the inverting input is attenuated by the feedback network. If connected in a gain greater than 50, this amplifier would be unlikely to slew because a 350-mV step would overdrive the output.

Slew rate is usually specified in voltage per microseconds, perhaps because early general-purpose op amps had slew rates in the range of 1 V/μs. Very high-speed amplifiers are in the 1,000-V/μs range, but you would rarely see it written as 1 kV/μs or 1 V/ns. Likewise, a nanopower op amp might be specified as 0.02 V/μs but seldom as 20 V/ms or 20 mV/μs. There's just no good reason why for some things; it is just the way we do it.

5-3. Settling time: a look at the character of the settling waveform

Settling time is the time required for an operational amplifier (op amp) to respond to an input-voltage step and then enter and stay within a specified error range of the final value. It is important in applications that drive an analog-to-

슬루잉을 하지 않을 것이다.

슬루잉은 통상적으로 마이크로초당 전압으로 표기된다. 이것은 아마도 초기의 범용 연산 증폭기가 슬루잉이 $1\text{V}/\mu\text{s}$ 대였기 때문일 것이다. 아주 속도가 높은 고속 증폭기는 $1,000\text{V}/\mu\text{s}$ 대도 있는데, 그렇다고 $1\text{kV}/\mu\text{s}$ 나 $1\text{V}/\text{ns}$ 로 표기하지는 않는다. 마찬가지로 관행적인 이유로 나노전력 연산 증폭기는 $0.02\text{V}/\mu\text{s}$ 를 $20\text{V}/\text{ms}$ 나 $20\text{mV}/\mu\text{s}$ 로 표기하지 않는다.

5-3. 안정화 시간: 안정화 파형 특성 고찰

안정화 시간(settling time)은 연산 증폭기가 입력 전압 스텝에 대한 응답으로 최종 값의 지정된 범위 이내가 되기 위해서 걸리는 시간을 말한다. 이 동작은 ADC를 구동하는 애플리케이션 같은 경우에 중요하다. ADC는 빠르게 변화하는 입력을 디지털화해야 한다. 그러면 용어 자체 정의보다 발전한 안정화 파형의 특성을 살펴보자.

20절에서 그림 53은 연산 증폭기가 어떻게 슬루 경사에 있어서 소신호 안정화 구간으로 접어드는지 보여준다. 이득이 높을수록 최종 값으로 좀더 서서히 안정화한다는 것을 알 수 있다.

이득이 높을수록 폐쇄 루프 대역폭이 감소하기 때문이다. 이 예에서의 연산 증폭기는 $G = 1$ 로 거의 90도 위상 마진이 되도록 설정되었다. 단위 이득으로는 오버슈트를 일으키지 않는다는 것을 알 수 있다. 이와 같은 거의 완벽한 일차 응답은 비교를 위한 기준이 될 수는 있으나, 현실적으로는 $G = 1$ 로 이와 같은 관대한 위상 마진을 갖는 연산 증폭기는 거의 찾을 수 없다.

그림 54의 응답은 좀더 현실적이다. 비교를 위해서 이상적 연산 증폭기 응답도 같이 표시하고 있는 이 파형은 동일한 연산 증폭기로 $G = 1$ 로 약 35도 위상 마진일 때이다. $G = 1$ 일 때 소신호 오버슈트가 약 32퍼센트이다. 1V 스텝으로 그렇게 심한 오버슈트처럼 보이지 않는다. 소신호 부분만 이러한 오버슈트 동작을 나타내기 때문이다. 더 높은 입력 스텝이면 오버슈트의 크기는

digital converter (ADC), digitizing rapidly changing inputs. But let us look beyond the definition and focus on the character of settling waveforms.

In section 20, I showed how an op amp transitions from a slewing ramp to a small-signal settling portion of the waveform; see Figure 53.

As the gain increases, you can see the slower closure to final value. This is due to reduced closed-loop bandwidth in higher gain. This example op amp is tuned to have virtually 90 degrees phase margin in $G = 1$. Notice that there is no overshoot, even in unity gain. Its virtually perfect first-order response serves as a benchmark for comparison, but you are unlikely to find an op amp with such generous phase margin in $G = 1$.

The response in Figure 54 is more realistic (maybe a bit pessimistic). These waveforms are produced by the same op amp but with an approximately 35

그림 53. 폐쇄 루프 이득이 높아질수록 대역폭이 감소하고 응답이 느려진다.

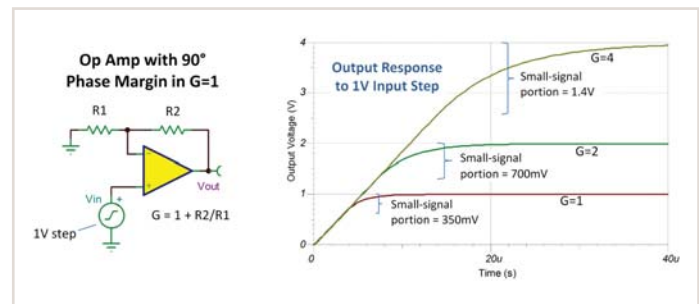


그림 54. 동일한 연산 증폭기로 $G = 1$ 로 위상 마진이 약 35°일 때 파형

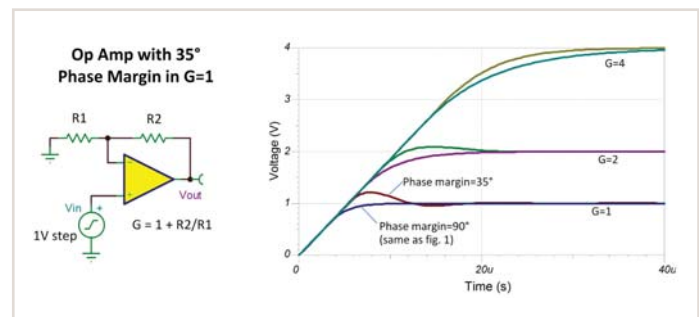
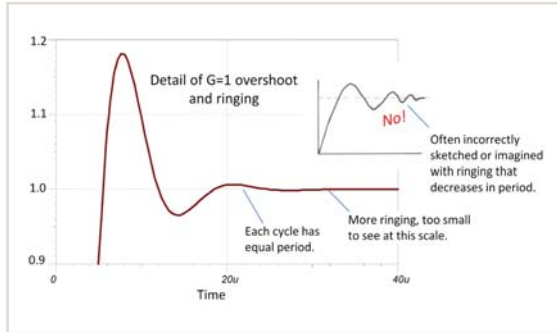


그림 55. $G = 1$ 일 때의 소신호 구간을 확대한 것으로서, 링잉 피리어드가 일정하다.



동일한데 비례적으로 더 작게 보일 것이다. 그렇기 때문에 작은 입력 전압 스텝에 대해서 오버슈트와 안정성을 꼭 확인해야 한다.

그림 55는 $G = 1$ 의 소신호 응답을 확대해서 보여준다. 그림을 보면 일정한 최종 값으로 안정화하기 위해서 위로 향하고 아래로 향한 2개 사이클을 필요로 하는 것처럼 보인다. 하지만 실제로는 구불구불한 선은 이 그래프의 분해능보다 더 작게 계속해서 이어지고 있다. 그러므로 높은 정확도로 안정화하기 위해서는 하나 또는 2개의 추가적인 사이클이 필요할 수 있다.

이와 같은 안정화된 동작을 살펴볼 때는, 최종적인 오버슈트/언더슈트의 시간이 압축된 것으로 생각할 수 있다. 하지만 안정화의 모든 사이클은 시간이 동일하다. 과도한 링잉이 발생되면 이를 해결하기 위해서 시간과 비용이 들어간다. 그러므로 이점에 알맞게 잘 작동하는 연산 증폭기를 선택해야 한다.

16비트 이상의 높은 정확도로 안정화하기 위해서 걸리는 시간은 또 다른 요인들을 포함한다. 복잡한 위상 보정 기법과 열 효과로 인한 동작 때문에 안정화 시간은 추가될 수 있다. 또한 증폭기는 ADC 입력 스위칭으로 부터의 글리치 때문에 방해받을 수 있다. 이러한 모든 요인들을 최적화하기는 쉬운 일이 아니다. 그렇더라도 주된 요인들을 보여주는 슬루율과 이차 시스템 응답을 잘 살펴보는 것은 매우 중요하다. **SN**

degrees phase margin at $G = 1$. (The ideal op amp responses are also shown for comparison.) Its small signal overshoot is approximately 32 percent in $G = 1$. It appears to be less overshoot with the 1-V step shown because only the small signal portion of the response produces this overshoot behavior. A larger input step would have the same magnitude overshoot but look proportionally even smaller. That is why you should always check overshoot and stability with small input-voltage steps.

Figure 55 shows an expanded view of the $G = 1$ small-signal response. Note that the settling of the final humps to a final steady value appear to require two complete up/down cycles. The wiggles continue, smaller and smaller – beyond the resolution of this graph. An additional cycle or two might be required to settle to high accuracy.

When you visualize this final settling behavior, you may imagine a compressed time scale in the final over/undershoots, as if the natural frequency of this ringing is shifting upward with each hump. But every cycle of settling requires the same time. Excessive ringing can be costly – a good reason to select a reasonably well-behaved op amp.

The true settling time to high accuracy (16 bits or greater) often includes other factors. Behaviors produced by fancier phase-compensation techniques and thermal effects can add to the settling time. The amplifier can also be perturbed by glitches from the input switching of an ADC. Optimizing all this can be tricky business. Still, it is important to visualize the primary effects at work – slew rate combined with a second-order system response. **SN**